

⑪公開特許公報 (A)

昭63-142445

⑪Int.Cl.

G 06 F 12/04
12/00
12/02

識別記号

304

厅内整理番号

A-6711-5B
F-6711-5B
N-6711-5B

⑪公開 昭和63年(1988)6月14日

審査請求 有 発明の数 1 (全6頁)

⑫発明の名称 メモリ装置

⑬特 願 昭61-288740

⑭出 願 昭61(1986)12月5日

⑮発明者 田口 泰志 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑯発明者 村田 裕 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社情報電子研究所内

⑰出願人 工業技術院長 東京都千代田区霞が関1丁目3番1号

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

データを保持するメモリセル、このメモリセルに対応するメモリアドレスレジスタ、データレジスタ及びメモリ制御装置とから成り、アクセスを行なう先頭アドレスとデータ長とを与えて、決められた長さのデータを連続してアクセスするメモリ装置において、1データ群の長さを保持するブロック長レジスタと、このレジスタの値を1つずつ減算し0以下になつた事を検出する手段と、各1データ群間のアドレスの間隔を保持する増分アドレスレジスタと、メモリアドレスの生成時に前記増分アドレスレジスタの値又は1を選択して、前記メモリアドレスレジスタに加算する手段と、アクセスすべき全データ長を保持するデータ長レジスタと、このレジスタの値から前記増分アドレスレジスタの値又は1を選択して減算し、アクセスすべき残りのデータ長を計算する手段と、前記

データ長レジスタの値が0以下になつた事を検出する手段と、ブロックアクセスモードを指示するフラグとを備え、メモリセルに対して、前記増分アドレスレジスタが示すアドレス間隔毎に、前記ブロック長レジスタで指定された長さのデータを、前記データ長レジスタの値が0以下になる迄、順次ブロックアクセスしていく事を特徴とするメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、メモリ領域内で成る一定アドレス間隔で複数個配列されたデータ群即ちブロックを、連続的にアクセスする事ができるメモリ装置に関するものである。

〔従来の技術〕

第6図は、例えば電子計算機/システムと機械(I. フローレス署・相原秀夫監証・新開社)に示された、従来のメモリ装置のブロック図である。図中(I)はメモリセルであり、(II)はメモリセル(I)のどの位置をアクセスするかを示すメモリアドレス

レジスタであり、山はメモリセル(II)のメモリアドレスレジスタ山で指定された位置より読み出されたデータを保持するメモリデータレジスタであり、山は前記メモリセル(II)、メモリアドレスレジスタ山、およびメモリデータレジスタ山に対して、読み出し又は書き込みを制御するメモリ制御装置である。

この第1図に示したメモリ装置において、或る決められた長さのメモリセル群を、連続的にアクセスする機能を付加したメモリ装置のプロック図を第5図に示す。図中の山は選択器であり、アクセスの開始アドレス又は計算器山の出力を選択して、メモリアドレスレジスタへの入力を生成する。山は加算器であり、メモリアドレスレジスタ山の内容に1を加えて、次にアクセスすべきメモリアドレスを計算する。山は選択器であり、アクセスを行うデータの長さ又は計算器山の出力を選択して、データ長レジスタ山への入力を生成する。山はデータ長レジスタであり、現在アクセスしているデータ以降の残りのデータ長を保持する。山は計算

データレジスタ山へ設定する。このレジスタ山に設定された内容は他の、例えば中央処理装置へ転送される。

(ステップ3)

選択器山を介して、計算器山の出力を読みメモリアドレスレジスタ山へ設定する。ここでは、現メモリアドレスレジスタ山の内容に1を加算して、次のデータに対するアドレスをメモリアドレスレジスタ山へ設定する。又選択器山を介して、計算器山の出力を読み、データ長レジスタ山へ設定する。ここでは、現データ長レジスタ山の内容から1を減算した値を、データ長レジスタ山へ設定する。この時、比較器山は、データ長レジスタ山の内容が0以下であるか否かをチェックする。

この値が0以下であれば、全データの読み出しが終了した事になる。逆に0より大きければ、アクセスすべきデータがまだ残つており、次のデータの読み出しを行なう為に、ステップ1へと戻る。

〔発明が解決しようとする問題点〕

第5図に示した従来のメモリ装置では、例えば

山であり、データ長レジスタ山の内容から1を減じて、アクセスすべき残りのデータ長を計算する。山は比較器であり、データ長レジスタ山の内容が0以下になつた事を検出し、全データへのアクセスが終了した事をメモリ制御装置山へ報知する。

次に第3図のメモリ装置の動作について説明する。

ここでは第4図に示すメモリセル(II)上のデータにアクセスする例について説明する。第4図はアドレス山から始まる4個のデータ M_0, M_1, M_2, M_3 を示すものであり、これ等に対するアクセス(読み出し)動作は、以下のステップを経る。

(ステップ1)

アドレス山を選択器山を介して、メモリアドレスレジスタ山へ設定する。又データ長(この例では4)を選択器山を介して、データ長レジスタ山に設定する。

(ステップ2)

メモリアドレスレジスタ山が指定するメモリセル(II)の位置より、データを1個読み出してこれをデータ

第3図に示す様なメモリセル(II)内のデータを、 M_0, M_1, M_2, M_3 の順序でアクセスしようとする場合、メモリアドレスレジスタ山へのアドレス設定が、 μ と $\mu+4$ の2回必要であり、又データ長レジスタ山への設定も2回必要とし、メモリアクセス速度が低下するという問題点があつた。

この発明は上記の様な問題点を解決する為に成されたもので、第3図に示す様なメモリセル(II)上のデータを M_0, M_1, M_2, M_3 と連続的にアクセスする事ができるメモリ装置を得る事を目的とする。

〔問題点を解決するための手段〕

この発明によるメモリ装置では、プロックの長さを保持するプロック長レジスタ、各プロック間のアドレス間隔を保持する増分アドレスレジスタ、アクセスすべき全データ長を保持するデータ長レジスタ等を備え、第3図に示す如く例えばプロック長2、増分アドレス3、データ長4、及び初期アドレスAの値を各々1回設定する事に依り、データを M_0, M_1, M_2, M_3 と連続してアクセスできる様にしたものである。

【作用】

この発明によるメモリ装置では、ブロックアクセスマード指定時、ブロック長レジスタで指定された長さのデータを連続してアクセスし、このアクセス終了時には、その終了時点のアドレスから増分アドレスレジスタに保持されている値だけ離れたアドレス位置から、再びブロック長レジスタで指定された長さのデータを、連続的にアクセスする様にしたものである。この動作は、データ長レジスタの値が0以下になる迄繰り返される。

【発明の実施例】

以下この発明の一実施例を、図について説明する。

第1図はこの発明によるメモリ装置のブロック図であり、11～14は第1、第5図に示した従来装置と同様のものである。図中の15は選択器であり、予め設定したブロック長又は計算器16の出力を選択して、ブロック長レジスタ12への入力を生成する。17はブロック長レジスタであり、ブロック内のデータ中アクセスすべき残りのデータ長を保持する。

比較器18の出力が各選択器15～18へ伝達される。18はブロックアクセスマードフラグであり、ブロック単位のアクセス動作を指定する。

第1図の様に構成されたこの発明によるメモリ装置の動作について次に説明する。メモリの読み出し動作は、以下のステップに従つて実行される。(ステップ1)

ブロックアクセスマードフラグ18を1にセットして、ブロック単位のアクセスを行う事を指定する。アドレス11を選択器15を介してメモリアドレスレジスタ14へ、データ長を選択器16を介してデータ長レジスタ12へ、ブロック長を選択器17を介してブロック長レジスタ12へ、又増分アドレスを増分アドレスレジスタ18へと各々設定する。

(ステップ2)

メモリアドレスレジスタ14が指定するメモリセル10の該当位置より、データを1個読み出してデータレジスタ19へ設定する。このレジスタ19に設定された内容は、他の、例えば中央処理装置へ転送される。

19は計算器であり、ブロック長レジスタ12の内容から1を減じて、ブロック内でアクセスすべき残りのデータ長を計算する。10は比較器であり、ブロック長レジスタ12の内容が0以下になつた事をチェックし、1ブロック内の全データのアクセスが終了した事を検出する。17は増分アドレスレジスタであり、増分アドレスを保持する。18は選択器であり、ブロック内のデータにアクセス中は、+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ18の内容を選択する。15は選択器であり、ブロック内のデータをアクセス中には+1を選択し、1ブロック分のデータのアクセスが終了すると、増分アドレスレジスタ18の内容を選択する。ここで計算器16は、1ブロック内のデータのアクセス中には、データ長レジスタ12の内容から1を減じていき、1ブロック分のデータのアクセスが終了すると、データ長レジスタ12の値から増分アドレスレジスタ18の値を減する。17はアンドゲートであり、ブロックアクセスモードフラグ18がセットされている時は、

(ステップ3)

選択器15を介して、計算器16の出力を選択し、メモリアドレスレジスタ14へ設定する。即ち、現メモリアドレスレジスタ14の内容に、選択器15の出力(+1)を加算して、次のデータに対するアドレスをメモリアドレスレジスタ14へ設定する。又選択器16を介して、計算器16の出力を選択し、データ長レジスタ12へ設定する。即ち、現データ長レジスタ12の内容から選択器15の出力(+1)を減算して、アクセスすべき残りのデータの長さをデータ長レジスタ12へ設定する。この時、比較器18は、データ長レジスタ12の内容が0以下であるか否かをチェックする。もしこの値が0以下であれば、全てのデータの読み出しを終了した事になり、ブロックデータアクセスを終結する。次に選択器17を介して、計算器16の出力を選択してブロック長レジスタ12へ設定する。即ちブロック長レジスタ12の内容から+1を減算して、現ブロック内でアクセスすべき残りのデータの長さを、ブロック長レジスタ12へ設定する。

この時、比較回路は、ブロック長レジスタ回の内容が0以下であるか否かをチェックする。この値が0以下であれば、1ブロック全体のデータの読み出しを終了した事になり、次のステップ1へ行く。もし0以下でなければ、ステップ2へ戻る。(ステップ1)

1ブロック分のデータの読み出しを終了した時、比較回路の出力は、アンドゲート10を通して選択回路11への選択信号となる。即ち選択回路11に対してはブロック長を選択する様にし、ブロック長レジスタ回へ再びブロック長を設定し、選択回路11に対しては、増分アドレスレジスタを選択する様にし、メモリアドレスレジスタ回にその増分アドレスレジスタ回の値を加算する。又選択回路11に対しては、増分アドレスレジスタ回の出力を選択する様にし、データ長レジスタ回の値から、増分アドレスレジスタ回の内容を減算する。続いてステップ2へ飛ぶ。

さて実際の動作例として、第1図に示すメモリ接続が、第3図に示すメモリセル(1)上のデータを

アクセスする時、各レジスタの変化する状態を第2図に示す。

この場合の動作は以下の様になる。

〈初期設定……時刻t₀〉

メモリアドレスレジスタ回へ値0が設定され、データ長レジスタ回へ値0が設定され、ブロック長レジスタ回へ値0が設定され、増分アドレスレジスタ回へ値0が設定される。

〈データM₁の読み出し……時刻t₁〉

メモリアドレスレジスタ回の内容0で指定されたメモリセル(1)上の該当位置からデータM₁が読み出され、データレジスタ回へ設定される。この読み出し終了後、現ブロック長レジスタ回より1を減じた値が0以下ではなく、且つ現データ長レジスタ回から、選択回路の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ回の値には選択回路の出力(この場合は+1)を加算した値+1が設定される。ブロック長レジスタ回とデータ長レジスタ回には、各々現在の値より1減じた値1と0が設定される。

〈データM₂の読み出し……時刻t₂〉

メモリアドレスレジスタ回の内容0+1で指定されたメモリセル(1)上の該当位置からデータM₂が読み出され、データレジスタ回へ設定される。この読み出し終了後、現ブロック長レジスタ回より1を減じた値が0以下となるので、比較回路の出力がアンドゲート10を通して選択回路11へ選択信号として分配される。選択回路11はブロック長を選択し、ブロック長レジスタ回へは値2が再設定され、選択回路11は増分アドレスレジスタ回の値3を選択し、メモリアドレスレジスタ回へは、現メモリアドレスレジスタ回の値0+1に増分アドレス3を加えた値0+4が設定され、選択回路11は、増分アドレスレジスタ回の出力値3を選択し、データ長レジスタ回へは、現データ長レジスタ回の値3から3を引いた値0が設定される。そして比較回路は、データ長レジスタ回の値が0以下でない事を検出するので、次のデータの読み出しを行う。

〈データM₃の読み出し……時刻t₃〉

メモリアドレスレジスタ回の内容0+1で、指

定されたメモリセル(1)上の該当位置からデータM₃が読み出され、データレジスタ回へ設定される。この読み出し終了すると、現ブロック長レジスタ回より1を減じた値が0以下ではなく、且つ現データ長レジスタ回から、選択回路の出力(この場合は+1)を減算した値も0以下ではないので、メモリアドレスレジスタ回に、現メモリアドレスレジスタ回の値に選択回路の出力(この場合は+1)を加算した値0+3が設定される。又ブロック長レジスタ回とデータ長レジスタ回には、各々現在の値から1を引いた値1と1とが設定される。

〈データM₄の読み出し……時刻t₄〉

メモリアドレスレジスタ回の内容0+3で指定されたメモリセル(1)上の該当位置から、データM₄が読み出され、データレジスタ回へ格納される。この読み出し終了すると、現ブロック長レジスタ回から1を減じた値が0以下となるので、比較回路の出力からアンドゲートを通して選択回路11へ選択信号を供給する。選択回路11は、増分アドレスレジスタ回の出力値3を選択し、データ長レジ

この値 1 より 3 を越じた値 -2 が設定される。そこで比較図 10 は、この値が 0 以下である事を検出するので、全プロットデータの抽出しを終了する。

尚、上記実施例ではノモリ位置に対する脱出し動作について説明したが、吞込み動作の場合も同様である。

又、メモリ配置としてアドレスを1個与える一
次元のものについて説明したが、行及び列アドレ
スを与えてアクセスを行う二次元メモリの場合で
も良い。

更に、上記実施例では、特定のメモリセル上のデータにアクセスする場合について説明したが、ブロックの長さ、増分アドレスの値、全データの長さ等は、他の任意の値であつても、全て同様の効果を奏する。

〔発明の効果〕

以上の様に、この結果によれば、メモリ内で一定長の連続したデータ群が、成る決まりた距離ずつ離れて配列されている場合、1データ群の長さ、各データ群間の距離、全データの長さ、及び先頭

データのアドレスを最初に1回指定するだけで順次連続的にアクセスできる様に構成したので、メモリ位置に対するデータのアクセスを高速に行える効果がある。

4. 面の簡単な説明

第1図はこの発明の一実施例によるメモリ装置のプロック図、第2図は第3図のメモリセル上のデータ例を、第1図のメモリ装置がアタセスする時の各レジスタの値を示す説明図、第3図及び第4図はアタセスするメモリセル上のデータの一例を示す説明図、第5図及び第6図は従来のメモリ装置の一例を示すプロック図である。

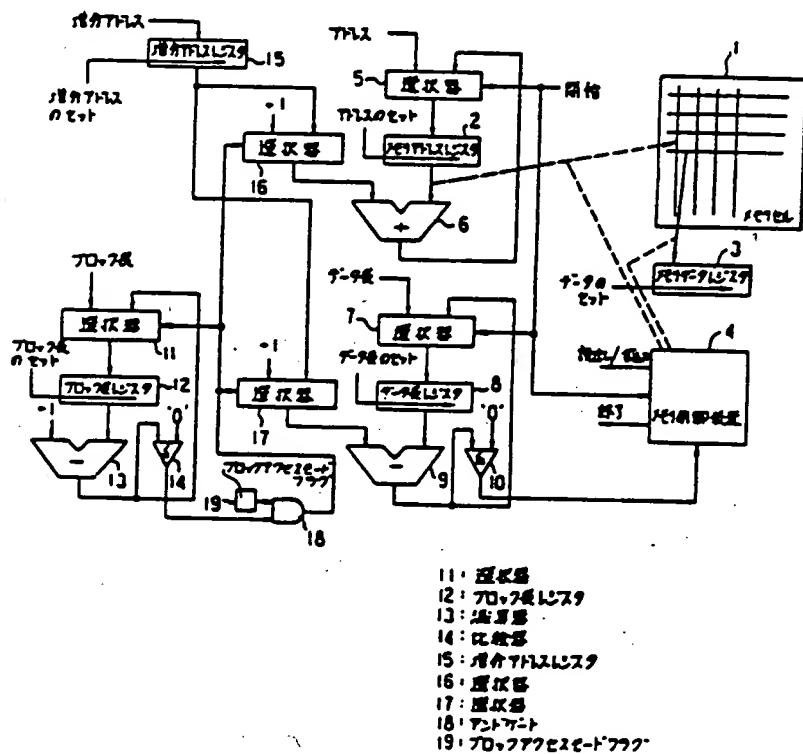
図中四はデータ長レジスタ、10は選択器、11は
プロンタ長レジスタ、12は演算器、13は比較器、
14は倍分アドレスレジスタ、15は選択器、16は選
択器、17はアンドゲート、18はプロンタアタセス
コードブックである。

尚図中。同一符号は同一又は相当部分を示す。

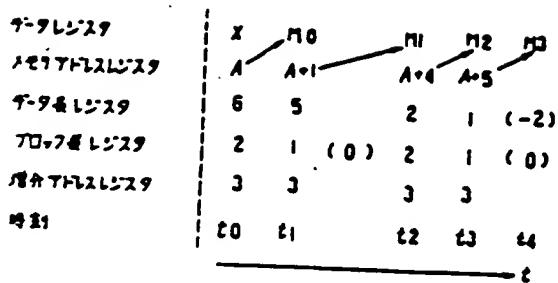
得許出版人 工業技術院

卷之三

第五章

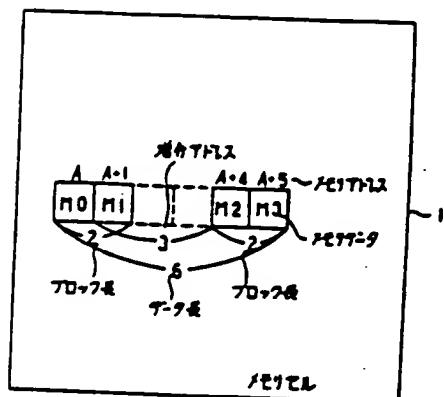


五 三 三

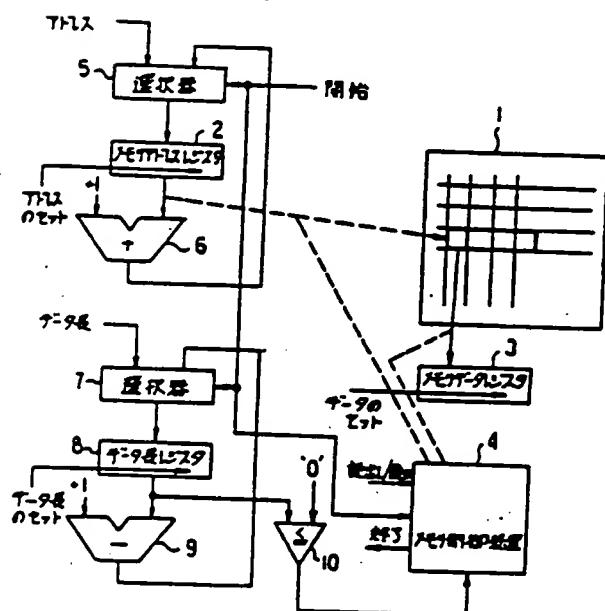


第 4 页

第 3 頁



第 5 題



第 6 四

